

538,889

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
8 juillet 2004 (08.07.2004)

PCT

(10) Numéro de publication internationale
WO 2004/057667 A2

(51) Classification internationale des brevets⁷ : H01L 23/31

Seyssinet (FR). DELAGUILLAUMIE, Fanny [FR/FR];
5, rue de la Plaine, F-38160 Saint Marcellin (FR). ZUSSY,
Marc [FR/FR]; 23bis, domaine St Hugues, F-38120 Saint
Egreve (FR).

(21) Numéro de la demande internationale :
PCT/FR2003/050188

(22) Date de dépôt international :
17 décembre 2003 (17.12.2003)

(74) Mandataire : POULIN, Gérard; c/o Brevatome, 3, rue
du Docteur Lancereaux, F-75008 Paris (FR).

(25) Langue de dépôt : français

(81) États désignés (national) : JP, US.

(26) Langue de publication : français

(84) États désignés (régional) : brevet européen (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(30) Données relatives à la priorité :
02/16117 18 décembre 2002 (18.12.2002) FR

Publiée :

— sans rapport de recherche internationale, sera republiée
dès réception de ce rapport

(71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31-33, rue de la Fédération, F-75752 Paris 15ème (FR).

(72) Inventeurs; et

En ce qui concerne les codes à deux lettres et autres abrégia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.

(75) Inventeurs/Déposants (pour US seulement) : BALERAS,
François [FR/FR]; 20, avenue de la République, F-38170

(54) Title: METHOD FOR RE-ROUTING LITHOGRAPHY-FREE MICROELECTRONIC DEVICES

(54) Titre : PROCEDE DE REROUTAGE DE DISPOSITIFS MICROELECTRONIQUES SANS LITHOGRAPHIE

(57) Abstract: The invention concerns a method for making a wafer level electronic chip scale package, the wafer comprising at least one chip and said at least one chip including input/output contact pads on one surface of the wafer called front side, the method comprising the following steps: a) forming, by means of a mold or a complex stencil, an insulating stress-relaxing layer on said front surface, said relaxation layer covering the wafer front surface with a raised part including access wells at the input/output contact pads, and elsewhere, projecting parts designed to relax the stresses, each projecting part having a stepped shape comprising at least one prominent zone and at least one zone, recessed relative to said prominent zone, designed to support an electrical bond pad; b) forming electrically conductive tracks on the relaxation layer to connect the input/output contact pads to the corresponding electrical bond pads. The invention also concerns a mould or complex stencil for making a chip scale package using said inventive method as well as the resulting package itself.

(57) Abrégé : L'invention concerne un procédé de réalisation d'un boîtier à la taille d'une puce électronique et réalisé à l'échelle du substrat, le substrat comportant au moins une puce et ladite au moins une puce possédant des plots d'entrée-sortie sur une face du substrat dite face avant, le procédé comprenant les étapes suivantes : a) formation, au moyen d'un moule ou d'un pochoir complexe, d'une couche isolante de relaxation de contraintes sur ladite face avant, ladite couche de relaxation recouvrant la face avant du substrat avec un relief présentant des puits d'accès au niveau des plots d'entrée-sortie, et ailleurs, des parties en saillie destinées à relaxer les contraintes, chaque partie en saillie ayant une forme étagée comprenant au moins une zone proéminente et au moins une zone, en retrait par rapport à ladite zone proéminente, destinée à supporter un plot de connexion électrique, b) formation de pistes électriquement conductrices sur la couche de relaxation pour connecter les plots d'entrée/sortie aux plots de connexion électrique correspondants, c) formation de moyens de contact électrique vers l'extérieur sur les plots de connexion électrique. L'invention concerne également, d'une part, un moule ou pochoir complexe destiné à réaliser un boîtier à la taille d'une puce selon le procédé de l'invention, et d'autre part, ledit boîtier en lui-même.

WO 2004/057667 A2

PROCEDE DE REROUTAGE DE DISPOSITIFS MICROELECTRONIQUES
SANS LITHOGRAPHIE

DESCRIPTION

5

DOMAINE TECHNIQUE

La présente invention concerne un procédé de fabrication d'un boîtier à la taille d'une puce électronique réalisé à l'échelle du substrat (en
10 anglais « Wafer Level Chip Scale Package » ou WLCSP). Dans la suite de la description, on appellera boîtier-puce ledit boîtier selon l'invention.

L'invention concerne également un moule ou un pochoir complexe destiné à réaliser ledit boîtier-
15 puce selon le procédé de l'invention et concerne aussi ledit boîtier-puce en lui-même.

La miniaturisation des boîtiers est devenue un besoin vital pour répondre aux exigences du marché
20 notamment en ce qui concerne le développement des systèmes portables ou des télécommunications, mais également pour permettre l'augmentation des entrées/sorties des circuits intégrés et pour diminuer le coût du packaging.

25 Pour répondre à ces exigences, il faut que les dimensions des boîtiers électroniques se rapprochent des dimensions des circuits intégrés (avec la technologie boîtier-puce (« Chip Scale Package » en anglais ou CSP) ou la technologie flip-chip, on arrive
30 à avoir des boîtiers ayant une dimension de 1 ou 1,2 fois la dimension du circuit). Il faut également que le

poids du boîtier et que la taille de la connectique se réduisent au maximum pour pouvoir augmenter le nombre d'entrées/sorties des circuits intégrés.

Par ailleurs, une des solutions pour
5 réduire le coût des étapes du packaging est de réaliser le boîtier-puce à l'échelle du substrat. Or, la diminution de la taille du boîtier-puce pose un sérieux problème de fiabilité : deux risques principaux sont bien connus de l'homme du métier.

10 Tout d'abord, l'humidité ou des effets de contamination provoquent des défaillances du circuit intégré, ces défaillances étant accélérées par la réduction des dimensions du boîtier. On doit donc améliorer la protection des circuits intégrés au sein
15 du boîtier.

La deuxième défaillance est induite par la différence importante de dilatation thermique entre le boîtier et le substrat d'accueil (circuit imprimé). Par exemple, pour un boîtier ayant un coefficient de
20 dilatation thermique de 2,6 ppm/°C et le verre époxy constituant le circuit imprimé ayant un coefficient de 16 ppm/°C, la forte différence de dilatation thermique va induire, notamment pour les boîtiers à billes, de fortes contraintes dans les billes lors des variations
25 de température. Or, ces contraintes peuvent être suffisamment élevées pour rompre les billes de connexion. La miniaturisation du boîtier nécessite donc également une amélioration de la fiabilité du packaging.

ETAT DE LA TECHNIQUE ANTERIEURE

Il existe déjà plusieurs procédés de fabrication de boîtier-puce réalisé à l'échelle du substrat ou boîtier WLCSP.

5 Le procédé couramment utilisé est le reroutage des entrées/sorties du circuit intégré (voir figure 1 et document [1] référencé à la fin de cette description).

La figure 1 présente une vue en coupe
10 longitudinale d'un boîtier-puce 1 réalisé selon la technique explicitée dans le document [1]. Tout d'abord, un substrat 2, comportant des circuits intégrés dont les plots d'entrées/sorties sont référencés 3, est recouvert d'une couche isolante ou
15 couche de passivation 4. Pour déposer ladite couche, on procède généralement par étalement à la tournette pour les polymères ou par dépôt chimique en phase vapeur pour les minéraux. Puis on ouvre ladite couche isolante, soit par insolation du polymère à travers un
20 masque, soit par lithographie et gravure (c'est à dire par dépôt d'une résine photosensible, puis insolation à travers un masque). Ensuite débute l'étape de reroutage proprement dite : on commence par vaporiser un fond continu sur le circuit intégré, puis on effectue une
25 électrolyse de cuivre à travers une résine photosensible ; ensuite on décape ladite résine et on effectue la gravure du fond continu. On obtient ainsi les lignes de reroutage 5. Puis, on dépose une nouvelle couche isolante 6, qui va servir de délimitation pour
30 la soudure, et enfin, on effectue la métallisation du circuit intégré, soit par pulvérisation, soit par dépôt

chimique de l'UBM (de l'anglais « under bump metalization »), où l'UBM représente la métallurgie d'accrochage de billes fusibles 7. Au final, on obtient des lignes de reroutage 5 (conductrices), qui relient les plots d'entrées/sorties 3 aux billes fusibles 7.

L'inconvénient de ce procédé est qu'il présente au moins trois étapes de lithographie. Ainsi, même si le procédé est réalisé à l'échelle du substrat, le nombre d'étapes pour le packaging du circuit intégré présente un coût important.

Le deuxième problème relatif à ce mode de fabrication est que, si les boîtiers CSP ou boîtiers-puces sont montés sur les circuits imprimés sans interposition de résine (dénommée « underfill » dans la technique concernée), la connectique sera alors de faible fiabilité : les différences de dilatation thermique entre le boîtier CSP et le circuit imprimé induisent en effet des contraintes dans les billes périphériques, surtout si les circuits intégrés sont larges. Pour ce type de boîtier, il est donc indispensable de rajouter une résine « underfill » sous le boîtier afin de répartir les contraintes sur les billes et la résine « underfill ». Mais le problème est que l'utilisation de cette résine n'est pas forcément souhaitée selon les applications et cela rajoute généralement au moins une étape supplémentaire. De plus, l'utilisation de cette résine rend la réparation d'un composant plus délicate puisqu'il oblige au remplacement d'un boîtier défectueux par un nouveau.

Le deuxième procédé innovant de fabrication de boîtiers WLCSP a été présenté par A. Kazama (voir le document [2] référencé à la fin de cette description).

Un boîtier-puce réalisé selon la technique du document [2] est illustré dans la figure 2 suivant une vue en coupe longitudinale. De même que précédemment, on a un boîtier WLCSP 11 comportant un substrat 12, des plots de circuit intégré 13 et une couche de passivation 14. La différence par rapport au document précédent réside dans la présence d'épais pavés de polymère 18 entre la face avant du substrat 12 et les billes fusibles 17. Ce sont ces épais pavés de polymères qui vont permettre de relâcher les contraintes entre le boîtier-puce et le circuit imprimé.

Le reroutage des plots d'entrée/sortie 13 est réalisé par une pulvérisation d'une sous-couche métallique suivie d'une électrolyse de Cu/Ni à travers une résine photosensible. Après avoir retiré la résine et la sous-couche, on obtient les lignes de reroutage 15 ; on dépose ensuite par la méthode dite à la tournette ou « spin coating » en anglais, une couche isolante photosensible 16. Cette couche est ensuite insolée à travers un masque afin de délimiter les plots de soudure des billes fusibles 17. Enfin, après le report des billes fusibles, on singularise les circuits intégrés pour obtenir les boîtiers-puces.

Au final, on a un substrat recouvert de pavés de polymère 18 et dont les plots d'entrée/sortie 13 sont reliés aux billes fusibles 17 par des lignes de reroutage 15.

Ce procédé de fabrication de boîtiers WLCSP permet de réduire les coûts de fabrication (les pavés de polymère sont déposés par sérigraphie, qui est un procédé bas coût) et de réduire les contraintes
5 mécaniques s'exerçant au niveau des billes fusibles. Cependant, la méthode utilisée pour déposer le polymère ne permet pas d'isoler les plots d'entrée/sortie des circuits intégrés.

De plus, cette méthode nécessite au moins
10 deux étapes de lithographie : une étape pour délimiter les pistes métalliques et une étape pour ouvrir la passivation déposée sur les pistes métalliques.

Par ailleurs, les étapes de lithographies sont réalisées sur du relief ; or il s'avère que le
15 dépôt de résine photosensible sur du relief est une opération délicate et onéreuse.

EXPOSÉ DE L'INVENTION

L'invention propose un procédé de
20 fabrication bas coût d'un boîtier WLCSP permettant d'intégrer la fonction de packaging du circuit intégré à l'échelle du substrat et qui ne présente pas les problèmes de l'art antérieur.

Le procédé, objet de l'invention, consiste
25 à réaliser, à l'aide d'un moule ou d'un pochoir, une couche servant à relâcher les contraintes entre le boîtier-puce et le circuit imprimé, sur lequel ledit boîtier-puce va être connecté, en lui donnant une forme étagée permettant, par la suite, un reroutage des
30 entrées/sorties avec moins d'étapes de lithographie que dans l'art antérieur, voire pas du tout.

En d'autres termes, le procédé de réalisation d'un boîtier à la taille d'une puce électronique et réalisé à l'échelle du substrat, ledit substrat comportant au moins une puce et ladite au
5 moins une puce possédant des plots d'entrée-sortie sur une face du substrat dite face avant, comprend les étapes suivantes :

a) formation, au moyen d'un moule ou d'un pochoir complexe, d'une couche isolante de relaxation de
10 contraintes sur ladite face avant, ladite couche de relaxation recouvrant la face avant du substrat avec un relief présentant des puits d'accès au niveau des plots d'entrée-sortie, et ailleurs, des parties en saillie destinées à relaxer les contraintes, chaque partie en
15 saillie ayant une forme étagée comprenant au moins une zone proéminente et au moins une zone, en retrait par rapport à ladite zone proéminente, destinée à supporter un plot de connection électrique,

b) formation de pistes électriquement conductrices sur
20 la couche de relaxation pour connecter les plots d'entrée/sortie aux plots de connection électrique correspondants,

c) formation de moyens de contact électrique vers
l'extérieur sur les plots de connection électrique.

25 Ici, utiliser une couche de polymère au lieu de plusieurs pavés de polymère comme dans l'art antérieur permet d'isoler les plots d'entrée/sortie du reste des circuits intégrés.

De manière générale, les circuits intégrés
30 situés sur le substrat comporteront des plots d'entrée/sortie en aluminium, en cuivre ou autres et

une couche de passivation minérale, organique ou les deux. Ces circuits pourront aussi comporter des finitions différentes, par exemple, un dépôt chimique de Ni/Au.

5 Selon un mode particulier de l'invention, ledit procédé comprend en outre, entre les étapes b) et c) précédentes, une étape de formation d'une couche d'encapsulation sur la couche de relaxation avec exposition des plots de connection électrique.

10 La couche de relaxation des contraintes peut être réalisée par différentes méthodes.

 Selon un mode de réalisation, ladite couche peut être réalisé à l'aide d'un moule. Pour cela, on suivra les étapes suivantes :

- 15 1) remplir le moule avec un polymère relaxant déterminé ou appliquer ledit polymère directement sur la face avant du substrat,
2) aligner le moule sur la face avant du substrat,
3) presser le moule sur la face avant du substrat,
20 4) recuire le polymère,
5) retirer le moule.

 Si on décide d'appliquer le polymère relaxant directement sur le substrat, on a le choix entre différentes méthodes parmi lesquelles l'étalement
25 ou la dispense.

 Selon un autre mode de réalisation, ladite couche peut cette fois ci être réalisée à l'aide d'un pochoir. On suivra alors les étapes suivantes :

- 30 1) appliquer le pochoir sur la face avant du substrat,
2) remplir les orifices du pochoir avec un polymère relaxant déterminé,

3) recuire le polymère et séparer le pochoir du substrat.

Concernant cette dernière étape, les deux actions sont interchangeables : on pourra recuire le polymère pour
5 ensuite séparer le pochoir du substrat, mais la séparation du pochoir pourra également, dans certains cas, être réalisée avant de recuire le polymère.

Avantageusement, ledit polymère relaxant déterminé utilisé dans les réalisations ci-dessus sera
10 choisi parmi le groupe constitué du polyimide, du BCB ou de tout autre polymère susceptible de relaxer les contraintes.

Après l'obtention de la couche relaxant les contraintes sur la face avant du substrat, il se peut
15 qu'il y ait des résidus de polymère sur les plots d'entrée/sortie, ce qui risquerait d'empêcher la reprise de contact sur lesdits plots. Avantageusement, on élimine donc lesdits résidus de polymère ; on pourra pour cela utiliser un procédé de nettoyage tel qu'un
20 traitement plasma ou toute autre technique similaire.

L'étape de reroutage ou étape de formation des pistes électriquement conductrices pour connecter les plots d'entrée/sortie des circuits intégrés aux plots de connection électrique correspondants est
25 simplifiée grâce à la topologie complexe de la couche relaxante créée précédemment.

Grâce à la topologie complexe de la couche relaxante, cette étape de reroutage des entrées/sorties des circuits intégrés peut ne pas nécessiter d'étape de
30 lithographie. Dans ce cas, deux choix se présente à nous :

- si l'on désire effectuer un dépôt de matériau conducteur sur toute la surface de la face avant du substrat, on suivra les étapes suivantes :

- a) dépôt d'un matériau conducteur sur la face avant du substrat recouverte de la couche de relaxation,
- b) séparation des lignes de reroutage et formation des plots de connexion électrique par élimination du matériau conducteur situé au niveau de la (des) zone(s) proéminente(s) des parties en saillie de la couche de relaxation par rodage mécanique ou par polissage mécano-chimique.

En ce qui concerne les deux techniques de séparation des lignes de reroutage, elles permettent d'éliminer le métal en surface sans attaquer le métal situées dans les zones inférieures par rapport au niveau jusqu'auquel on procède à l'élimination.

- mais si l'on ne veut déposer de matériau conducteur que dans les puits d'accès aux plots d'entrée-sortie et dans les zones en retrait par rapport à la (les) zone(s) proéminente(s) des parties en saillie de la couche relaxante, on réalisera un dépôt chimique de matériau conducteur seulement dans lesdits endroits. L'étape d'élimination du matériau conducteur en surface de la couche relaxante, c'est à dire sur la (les) zone(s) proéminente(s) des parties en saillie, pour séparer les lignes de reroutage ne sera alors pas nécessaire.

Avantageusement, le matériau conducteur est un métal.

- On peut aussi utiliser les techniques traditionnelles de reroutage qui, grâce à la topologie complexe de la couche relaxante, ne nécessiteront qu'une seule étape de lithographie. Dans ce cas, on
- 5 pourra suivre la suite d'étapes suivante :
- a) dépôt d'un matériau conducteur sur la face avant du substrat recouverte de la couche relaxante,
 - b) lithographie,
 - c) gravure chimique,
 - 10 d) décapage,
- ou bien la suite d'étapes suivantes :
- a) métallisation lithographique de la face avant du substrat,
 - b) électrolyse,
 - 15 c) décapage,
 - d) gravure chimique.

Avantageusement, le dépôt d'un matériau conducteur dont on a parlé précédemment est une

20 métallisation. Pour opérer cette métallisation, on procédera par pulvérisation, évaporation, électrodéposition ou dépôt chimique d'un ou plusieurs métaux.

- 25 Une fois le reroutage réalisé, on peut effectuer l'encapsulation des boîtiers afin d'en améliorer la durée de vie. Il existe différentes méthodes d'encapsulation : par sérigraphie, par moulage dispense, par étalement...
- 30 De même, l'encapsulation peut être totale ou partielle.

Selon un premier mode de réalisation, l'étape de formation d'une couche d'encapsulation comprend les étapes suivantes :

- 5 a) dépôt d'une couche de polymère sur toute la surface avant du substrat recouverte de la couche de relaxation,
- b) planarisation de la face avant du substrat,
- c) libération des plots de connection électrique.

10 Selon un deuxième mode de réalisation, l'étape de formation d'une couche d'encapsulation comprend les étapes suivantes :

- a) planarisation de la face avant du substrat recouverte de la couche de relaxation,
- b) remplissage des puits d'accès et des zones en
- 15 retrait de la face avant du substrat avec un polymère épais,
- c) libération des plots de connection électrique.

La libération des plots de connection électrique se fera par rodage, par polissage mécano-

20 chimique, par gravure ou par toute autre technique.

Après l'étape de planarisation de la face avant du substrat, on peut éventuellement effectuer des découpes dans la face avant du substrat, en prenant garde de ne pas découper entièrement la couche de

25 relaxation. Puis, on dépose un encapsulant sur la face arrière du substrat et dans les découpes de la face avant du substrat. Dans ces conditions, les bords des circuits intégrés seront aussi protégés près la découpe des boîtiers-puces.

Puis, on doit installer les moyens de contact électrique vers l'extérieur sur les plots de connection électrique situés sur la couche de relaxation. Cette étape peut être réalisée avant ou
5 après la planarisation du substrat, mais il est préférable de la réaliser après la planarisation. En effet, la planarisation permet de délimiter les plots de connection électrique.

Avantageusement, les moyens de contact
10 électrique vers l'extérieur sur les plots de connection électrique seront des billes fusibles.

Dans ce cas, les billes fusibles seront installées sur les plots de connection électrique à l'aide d'une technique choisie parmi l'électrolyse
15 d'alliage fusible, la sérigraphie de pâte à braser, le transfert de billes ou toute autre technique.

Selon un autre cas de réalisation, ces moyens de contact électrique seront choisis parmi les films et les colles anisotropes conducteurs.
20

Enfin, on doit s'occuper de l'étape de séparation des boîtiers-puces. Cette séparation ou singularisation est réalisée par découpe avec une scie, découpe par gravure laser ou tout autre moyen
25 similaire.

Ce procédé de réalisation de boîtiers WLCSP peut être complété par des étapes supplémentaires.

Tout d'abord, on peut avoir besoin de
30 réduire l'épaisseur des boîtiers. Pour cela, avant ou après l'installation des moyens de contact électrique

vers l'extérieur sur les plots de connection électrique, la face arrière du substrat est aminci par rodage, par polissage mécano-chimique ou toute autre technique.

- 5 Par exemple, dans le cas du silicium, on peut réduire l'épaisseur du substrat à 50 μm . On peut même envisager de le réduire jusqu'à atteindre l'épaisseur active du silicium.

On peut également compléter le procédé par
10 les étapes suivantes :

- a) réalisation de tranchées dans la face arrière du substrat (par gravure laser ou chimique, par découpe ou par toute autre technique) jusqu'à atteindre les couches métalliques représentés par les plots d'entrée-
15 sortie des circuits intégrés ou par les pistes électriquement conductrices,
b) dépôt, éventuellement localisé, d'une couche métallique (55) sur la face arrière du substrat,
c) élimination de la métallisation située en surface de
20 la face arrière du substrat.

L'invention concerne également un moule ou pochoir complexe destiné à réaliser un boîtier à la taille d'une puce selon le procédé de l'invention.

- 25 Avantageusement, ce moule ou pochoir complexe sera réalisé à l'aide d'au moins une technique choisie parmi la gravure humide ou sèche, l'électroformage, le collage de plusieurs films polymères percés ou non, le moulage, la gravure laser
30 ou toute autre technique permettant de réaliser une topographie complexe.

Avantageusement, ledit moule ou ledit pochoir est réalisé en silicium, en métal, en polymère ou tout autre matériau similaire. On notera que le démoulage des pièces est facilité avec des moules ou des pochoirs en polymères.

L'invention concerne aussi un boîtier à la taille d'une puce réalisé à l'échelle du substrat caractérisé en ce qu'il est réalisé par le procédé selon l'invention.

Le procédé selon l'invention présente de nombreux avantages, notamment une réduction du nombre d'étapes pour la réalisation des boîtiers-puces. En effet, la technique du moulage ou du pochage permet de réaliser en même temps la topologie nécessaire pour réaliser le reroutage des entrées/sorties et la couche permettant de relâcher les contraintes thermomécaniques. Ledit moule ou pochoir permet aussi de réduire le nombre d'étapes de photolithographie. Par conséquent, il réduit le nombre d'étapes totales nécessaire à la fabrication du boîtier-puce, et par-là même, réduit le prix de fabrication dudit boîtier. Par ailleurs, une fois ce moule ou ce pochoir réalisé, il pourra être réutilisé, ce qui réduira aussi le coût de fabrication des boîtiers.

BRÈVE DESCRIPTION DES DESSINS

D'autres caractéristiques et avantages de l'invention apparaîtront mieux à la lumière de la description qui va suivre. Cette description porte sur

les exemples de réalisation, donnés à titre explicatif et non limitatif, en ce référant aux dessins annexés parmi lesquels :

- les figures 1 et 2 illustrent l'art antérieur
5 présenté précédemment dans cette description,
- les figures 3a et 3b illustrent la topologie du moule complexe (figure 3a) et du pochoir complexe (figure 3b) selon l'invention,
- les figures 4a à 4g illustrent un mode de
10 fabrication de boîtiers WLCSP selon l'invention,
- les figures 5a à 5c illustrent un complément de fabrication pour obtenir une encapsulation complète du circuit intégré,
- les figures 6a à 6g illustrent un autre mode de
15 fabrication de boîtiers WLCSP selon l'invention,
- la figure 7 illustre l'encapsulation de toutes les surfaces du circuit intégré réalisé à l'échelle du substrat.

Il est à noter que, pour simplifier, les figures ne
20 sont pas dessinées à l'échelle du substrat.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un procédé de fabrication d'un boîtier WLCSP selon la présente invention est illustrée par les
25 figures 4a à 4g.

Comme le montre la figure 4a, on démarre avec un substrat 22 comportant des circuits intégrés, chaque circuit présentant des plots d'entrée/sortie 23 et une couche de passivation 24, lesdits éléments étant
30 obtenus par les méthodes explicités dans l'art antérieur.

Pendant l'étape b, on réalise la couche de relaxation des contraintes notée 28 sur ledit substrat (figure 4b). Cette étape est réalisée soit par moulage du polymère sur le substrat à l'aide d'un moule complexe, soit par sérigraphie du polymère à travers un pochoir complexe sur le substrat, soit par transfert du polymère (par réalisation de la structure en polymère sur un autre support à l'aide d'un moule ou d'un pochoir complexe, que l'on colle ensuite sur le substrat).

Cette étape peut être accompagnée d'un procédé de nettoyage (par exemple un traitement plasma) pour retirer les résidus de polymère sur les plots d'entrée/sortie 23 des circuits intégrés.

Puis, on dépose une couche métallique notée 25 (par exemple par pulvérisation d'une couche de titane/cuivre) sur toute la surface du substrat (figure 4c). Si l'on désire augmenter l'épaisseur de la couche métallique, cette étape peut être complétée par une électrodéposition de cuivre. Cette étape de métallisation peut aussi être réalisée par dépôt chimique de Ni/Au sur toute la surface ou par un dépôt sélectif (métallisation localisées dans les puits d'accès et dans les zones en retrait).

Ensuite, on doit isoler les pistes métalliques par élimination de la métallisation en surface (figure 4d). On effectue cette étape par polissage mécano-chimique, par gravure ou toute autre technique. On remarque que dans le cas d'un dépôt chimique localisé, cette étape n'est pas nécessaire.

Dans ces conditions, la métallisation est conservée dans les puits d'accès aux plots et dans toutes les zones en retrait par rapport à la surface supérieure usinée de la couche relaxante.

5 Puis, on planarise la face avant du substrat par un dépôt de couche isolante notée 29, par exemple par dispense de résine « underfill » que l'on planarise par étalement à la tournette ou « spin coating » en anglais, par moulage d'un polymère ou par
10 toute autre technique (figure 4e).

 Puis, on ouvre cette couche isolante par gravure plasma, par polissage ou par toute autre technique pour libérer les plots d'accrochage 30 des billes (figure 4f).

15 Enfin, on réalise le billage du substrat (figure 4g). On peut employer toutes les techniques pour réaliser les billes fusibles notées 27.

 On peut décider d'encapsuler complètement
20 les circuits intégrés. Dans ce cas, les étapes d'encapsulation devront être insérées entre les étapes f et g vues précédemment.

 Tout d'abord, on peut procéder à l'amincissement de la face arrière du substrat 22 par
25 rodage ou par toute autre technique, mais cette étape n'est pas obligatoire (figure 5a).

 Ensuite, on découpe la face arrière du substrat 22 jusqu'à atteindre la couche de passivation 24 des circuits intégrés (figure 5b). Cette opération
30 peut être faite par découpe mécanique, par découpe laser ou par toute autre technique.

La dernière étape consiste à encapsuler entièrement la face arrière du substrat 22 et en comblant les tranchées faites précédemment (figure 5c). Cette étape peut être réalisée par moulage, par
5 dispense ou toute autre technique de dépôt d'isolant (noté 31).

Les figures 6a à 6g illustrent un deuxième mode de fabrication de boîtier WLCSP. Ce mode de
10 fabrication comporte la reprise de contact face avant/face arrière et l'encapsulation complète des circuits intégrés.

Les étapes de formation de la couche de relaxation sur les circuits intégrés et du reroutage
15 sont identiques au procédé décrit précédemment (voir figures 4a à 4c) : on obtient le dispositif présenté dans la figure 6a. Ici, la délimitation des plots d'accrochage 40 des billes 47 a une forme différente : chaque plot d'accrochage 40 est entouré d'une tranchée
20 pour mieux délimiter la zone de soudure. Puis on effectue les mêmes étapes que celles présentées dans les figures 4d à 4f et on obtient le dispositif de la figure 6b : les zones en retrait et les puits d'accès au-dessus des plots d'entrée-sortie ont été comblés par
25 dépôt d'une couche isolante 49.

Puis, pour rendre possible la reprise de contact face avant/face arrière, on peut commencer par diminuer l'épaisseur du substrat 42 (figure 6c). Cette étape n'est pas obligatoire, mais elle facilite la
30 reprise de contact avec la face avant du substrat et la séparation ultérieure des boîtiers-puces.

Après, selon la figure 6d, on réalise des tranchées dans la face arrière du substrat afin de délimiter les circuits intégrés (on effectue des découpes I jusqu'à atteindre la couche de passivation 44) et reprendre contact avec les plots d'entrée/sortie (on effectue des découpes II jusqu'à atteindre les plots 43). Cette étape peut être réalisée par découpe ou par gravure. Si on opte pour la technique de gravure, on réalisera des puits au niveau des plots d'entrée/sortie 43.

Ensuite, il faut isoler la face arrière du substrat en déposant une couche isolante 51 dans les découpes ; cette étape peut être réalisée par moulage ou sérigraphie. Pour être certain d'isoler les plots, les tranchées au niveau desdits plots sont partiellement remplies (non représenté sur la figure). Pour la reprise de contact sur les plots d'entrée/sortie, l'étape de métallisation peut être précédée d'une étape de gravure (par exemple par laser, par plasma...) de la couche isolante au niveau des plots.

Puis on effectue la métallisation de la face arrière du substrat selon la même méthode que décrit précédemment (figure 6e) : on obtient une couche métallique 55 qui recouvre la totalité de la face arrière du substrat 42.

Ensuite, on isole les métallisations 55 par rodage, par polissage mécano-chimique ou par toute autre technique de la surface de la face arrière du substrat. Cette étape peut être réalisée après une étape d'encapsulation (étape non dessinée).

Enfin, on effectue le billage du substrat en plaçant les billes fusibles 47 sur les plots d'accrochage 40 (figure 6f) et on réalise la singularisation des boîtiers-puces (figure 6g) en
5 découpant au niveau des découpes I.

D'autres variantes de boîtiers-puces peuvent être obtenues.

Par exemple, selon un mode de réalisation
10 particulier, on peut assembler plusieurs de ces boîtiers-puces présentant un reroutage face avant/face arrière et combler les interstices par de la résine « underfill ». On peut aussi réaliser l'assemblage après découpe des boîtiers-puces. On obtient ainsi un
15 module en trois dimensions.

On peut également réaliser l'encapsulation totale du boîtier-puce, c'est-à-dire l'encapsulation de la face avant et de la face arrière du substrat,
20 réalisée après avoir éventuellement réduit l'épaisseur du substrat (figure 7). Dans cet exemple, le substrat 72 comporte des circuits intégrés composés de plots d'entrée/sortie 73 et d'une couche de passivation 74 ; les circuits intégrés sont ensuite recouverts d'une
25 couche 78 relaxant les contraintes et présentant des puits d'accès laissant accessibles les plots d'entrée/sortie 73, lesdits plots d'entrée/sortie et les billes fusibles 77 surplombant la couche relaxante 78 étant reliés par des lignes de reroutage 75. Une
30 couche isolante 79 remplit les puits d'accès et les zones en retrait de la face avant du substrat, et une

couche isolante 91 recouvre la face arrière du substrat.

Il est à noter que les versions illustrées
5 par les figures 6g et 7 ne sont pas limitatives, les deux versions pouvant notamment être couplées.

BIBLIOGRAPHIE

- 5 [1] Dr Philip GARROU, *Packaging and Manufacturing Technologies Society, ref IEEE Components, octobre 2000.*
- 10 [2] Atsushi KAZAMA, *Developpment of Low-Cost and Highly Reliable Wafer Process Package, ref IEEE, Electronic Components and Technology Conference, 2001.*

REVENDICATIONS

1. Procédé de réalisation d'un boîtier à la
5 taille d'une puce électronique et réalisé à l'échelle
du substrat, le substrat (22, 42, 72) comportant au
moins une puce et ladite au moins une puce possédant
des plots d'entrée-sortie (23, 43, 73) sur une face du
substrat dite face avant, le procédé comprenant les
10 étapes suivantes :

a) formation, au moyen d'un moule ou d'un pochoir
complexe, d'une couche isolante de relaxation de
contraintes (28, 48, 78) sur ladite face avant, ladite
couche de relaxation recouvrant la face avant du
15 substrat avec un relief présentant des puits d'accès au
niveau des plots d'entrée-sortie, et ailleurs, des
parties en saillie destinées à relaxer les contraintes,
chaque partie en saillie ayant une forme étagée
comprenant au moins une zone proéminente et au moins
20 une zone, en retrait par rapport à ladite zone
proéminente, destinée à supporter un plot de connection
électrique (30, 40),

b) formation de pistes électriquement conductrices (25,
45, 75) sur la couche de relaxation pour connecter les
25 plots d'entrée/sortie aux plots de connection
électrique correspondants,

c) formation de moyens de contact électrique (27, 47,
77) vers l'extérieur sur les plots de connection
électrique.

30

2. Procédé de fabrication selon la
révendication 1 caractérisé en ce qu'il comprend en

outre, entre les étapes b) et c), une étape de formation d'une couche d'encapsulation (29, 49, 79) sur la couche de relaxation avec exposition des plots de connection électrique.

5

3. Procédé de fabrication selon la revendication 1 caractérisé en ce que, pour former la couche de relaxation des contraintes (28, 48, 78) à l'aide d'un moule, on suit les étapes suivantes :

- 10 1) remplir le moule avec un polymère relaxant déterminé ou appliquer ledit polymère directement sur la face avant du substrat,
2) aligner le moule sur la face avant du substrat,
3) presser le moule sur la face avant du substrat,
15 4) recuire le polymère,
5) retirer le moule.

4. Procédé de fabrication selon la revendication 1 caractérisé en ce que, pour former la
20 couche de relaxation des contraintes (28, 48, 78) à l'aide d'un pochoir, on suit les étapes suivantes :

- 1) appliquer le pochoir sur la face avant du substrat,
2) remplir les orifices du pochoir avec un polymère
25 relaxant déterminé,
3) recuire le polymère et séparer le pochoir du substrat.

5. Procédé de fabrication selon la
30 revendication 3 ou 4 caractérisé en ce que ledit polymère relaxant déterminé est choisi parmi le groupe

constitué du polyimide, du BCB ou de tout autre polymère susceptible de relaxer les contraintes.

5 6. Procédé de fabrication selon la revendication 3 ou 4 caractérisé en ce que, après l'obtention de la couche relaxant les contraintes (28, 48, 78) sur la face avant du substrat, on élimine les résidus de polymère se trouvant sur les plots d'entrée/sortie (23, 43, 73).

10

7. Procédé de fabrication selon la revendication 1 caractérisé en ce que l'étape de formation de pistes électriquement conductrices (25, 45, 75) comprend les étapes suivantes :

15 a) dépôt d'un matériau conducteur sur la face avant du substrat recouverte de la couche de relaxation (28, 48, 78),

b) séparation des lignes de reroutage et formation des plots de connexion électrique (30, 40) par élimination

20 du matériau conducteur situé au niveau de la (des) zone(s) proéminente(s) des parties en saillie de la couche de relaxation par rodage mécanique ou par polissage mécano-chimique.

25 8. Procédé de fabrication selon la revendication 1 caractérisé en ce que l'étape de formation de pistes électriquement conductrices (25, 45, 75) est réalisée par dépôt chimique de matériau conducteur dans les puits d'accès aux plots d'entrée-

30 sortie et dans les zones en retrait par rapport à la

(les) zone(s) proéminente(s) des parties en saillie de la couche relaxante (28, 48, 78).

9. Procédé de fabrication selon la
5 revendication précédente caractérisé en ce que le matériau conducteur est un métal.

10. Procédé de fabrication selon la
revendication 1 caractérisé en ce que l'étape de
10 formation de pistes électriquement conductrices (25, 45, 75) comprend les étapes suivantes :

- a) dépôt d'un matériau conducteur sur la face avant du substrat recouverte de la couche relaxante,
- b) lithographie,
- 15 c) gravure chimique,
- d) décapage.

11. Procédé de fabrication selon l'une
quelconque des revendications 7 et 10, caractérisé en
20 ce que le dépôt d'un matériau conducteur est une métallisation.

12. Procédé de fabrication selon la
revendication 1 caractérisé en ce que l'étape de
25 formation de pistes électriquement conductrices (25, 45, 75) comprend les étapes suivantes :

- a) métallisation lithographique de la face avant du substrat recouverte de la couche relaxante,
- b) électrolyse,
- 30 c) décapage,
- d) gravure chimique.

13. Procédé de fabrication selon la revendication 2 caractérisé en ce que l'étape de formation d'une couche d'encapsulation (29, 49, 79)

5 comprend les étapes suivantes :

a) dépôt d'une couche de polymère sur toute la surface avant du substrat recouverte de la couche de relaxation,

b) planarisation de la face avant du substrat,

10 c) libération des plots de connection électrique (30, 40).

14. Procédé de fabrication selon la revendication 2 caractérisé en ce que l'étape de formation d'une couche d'encapsulation (29, 49, 79)

15 comprend les étapes suivantes :

a) planarisation de la face avant du substrat,

b) remplissage des puits d'accès et des zones en retrait de la face avant du substrat avec un polymère

20 épais,

c) libération des plots de connection électrique (30, 40).

15. Procédé de fabrication selon la revendication 1 caractérisé en ce que les moyens de contact électrique (27, 47, 77) vers l'extérieur sur les plots de connection électrique (30, 40) sont des billes fusibles.

30 16. Procédé de fabrication selon la revendication précédente caractérisé en ce que les

billes fusibles sont installées sur les plots de connection électrique (30, 40) à l'aide d'une technique choisie parmi l'électrolyse d'alliage fusible, la sérigraphie de pâte à braser, le transfert de billes.

5

17. Procédé de fabrication selon la revendication 1 caractérisé en ce que les moyens de contact électrique (27, 47, 77) vers l'extérieur sur les plots de connection électrique (30, 40) sont
10 choisis parmi les films et les colles anisotropes conducteurs.

18. Procédé de fabrication selon l'une quelconque des revendications 1 et 2 caractérisé en ce
15 qu'il comprend en outre une étape de séparation des boîtiers à la taille d'une puce électronique réalisés à l'échelle du substrat.

19. Procédé de fabrication selon la revendication 1 caractérisé en ce que, avant ou après la formation des moyens de contact électrique (27, 47, 77) vers l'extérieur sur les plots de connection électrique, la face arrière du substrat (22, 42, 72) est aminci par rodage, par polissage mécano-chimique ou
20 toute autre technique.
25

20. Procédé de fabrication selon l'une quelconque des revendications 1 ou 2 caractérisé en ce qu'il est complété par les étapes suivantes :
30 a) réalisation de tranchées à partir de la face arrière du substrat (42) jusqu'à atteindre les couches

métalliques représentés par les plots d'entrée-sortie (43) des circuits intégrés ou par les pistes électriquement conductrices (45),

- 5 b) dépôt, éventuellement localisé, d'une couche métallique (55) sur la face arrière du substrat,
c) élimination de la métallisation située en surface de la face arrière du substrat.

21. Moule ou pochoir complexe caractérisé
10 en ce qu'il est destiné à réaliser un boîtier à la taille d'une puce à l'aide du procédé selon l'une quelconque des revendications 1 à 20.

22. Moule ou pochoir complexe selon la
15 revendication 21 caractérisé en ce qu'il est réalisé à l'aide d'au moins une technique choisie parmi la gravure humide ou sèche, l'électroformage, le collage de plusieurs films polymères percés ou non, le moulage, la gravure laser.

20

23. Moule ou pochoir complexe selon la revendication 21 ou 22 caractérisé en ce qu'il est réalisé en silicium, en métal, en polymère.

25

24. Boîtier à la taille d'une puce et réalisé à l'échelle du substrat, caractérisé en ce qu'il est réalisé par le procédé selon l'une quelconque des revendications 1 à 20.

1 / 5

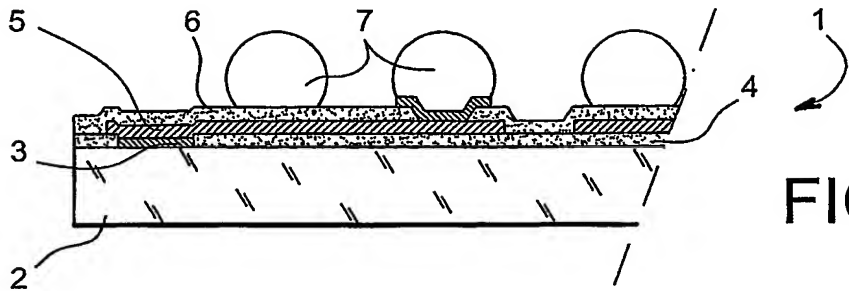


FIG. 1

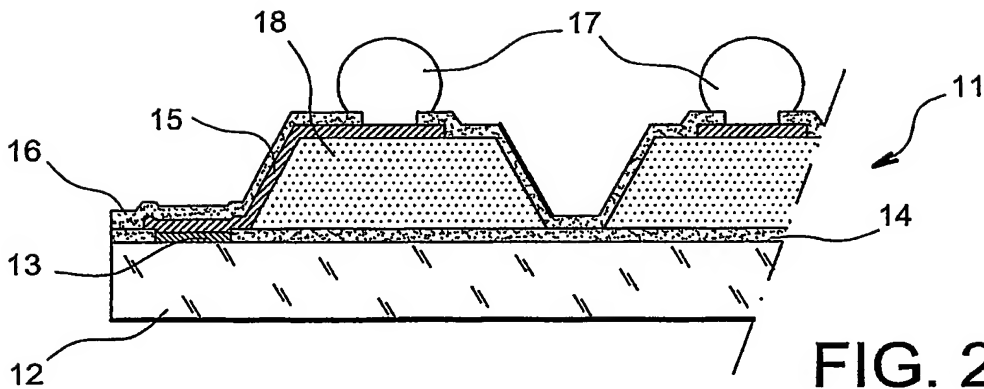


FIG. 2

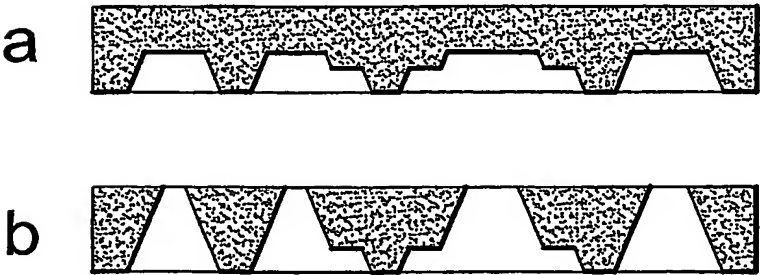


FIG. 3

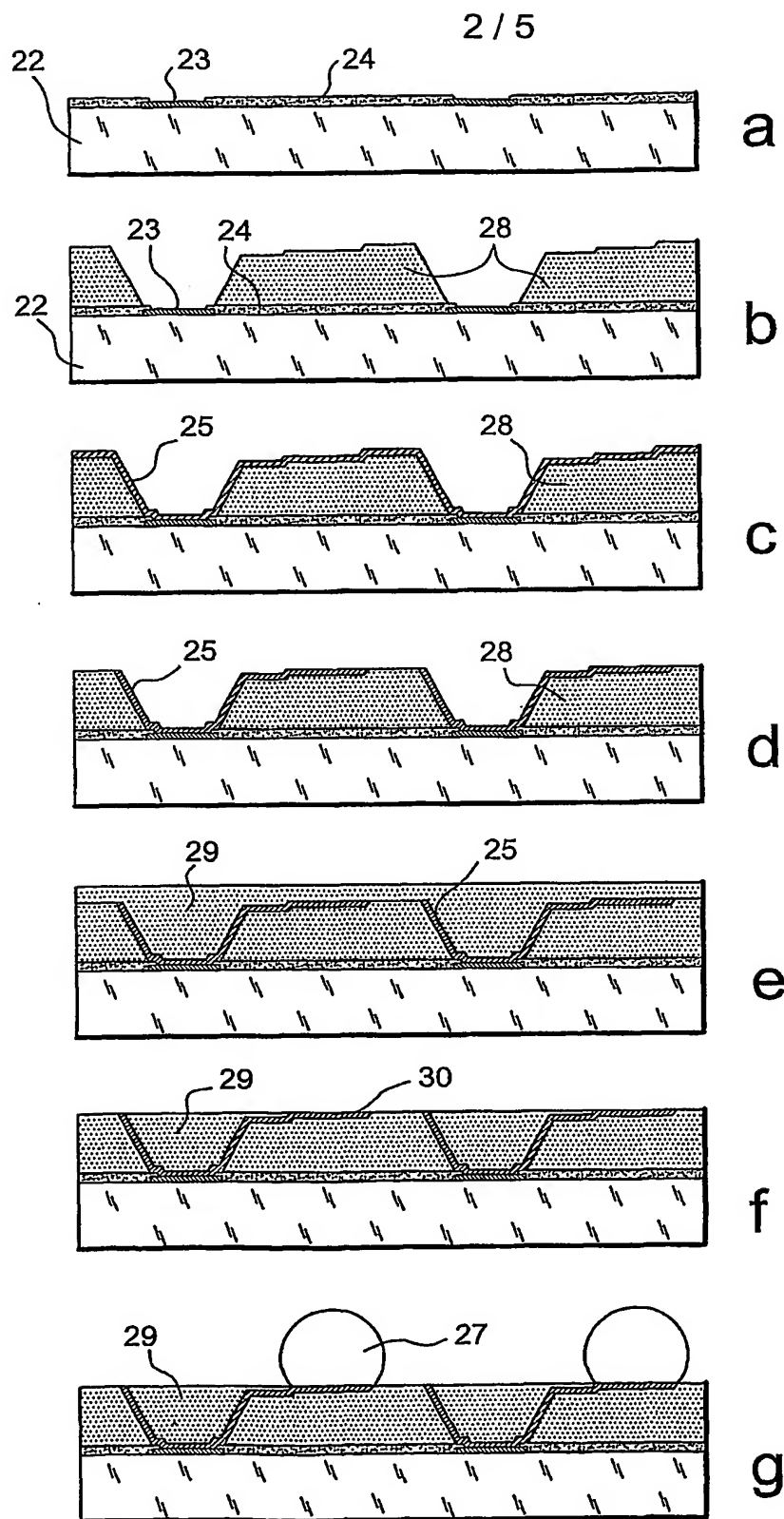


FIG. 4

3 / 5

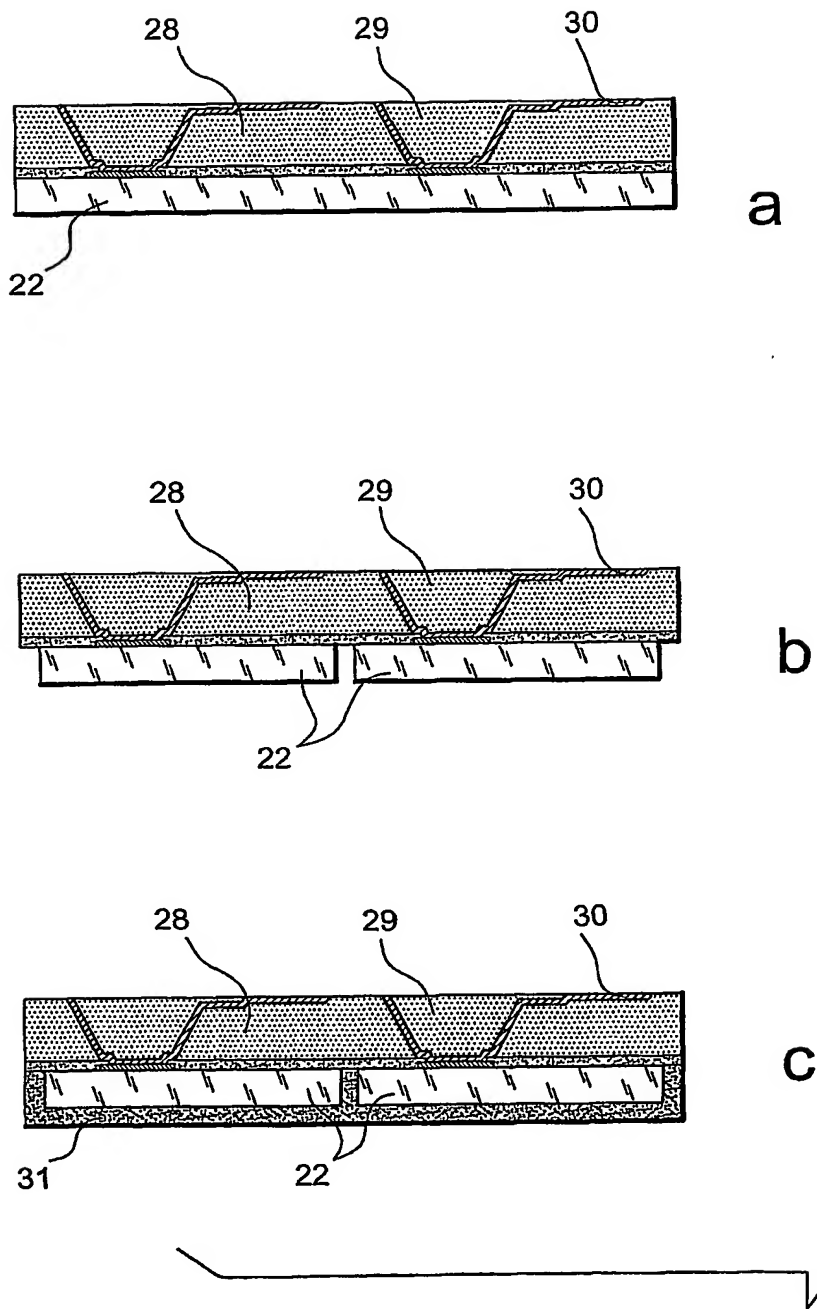


FIG. 5

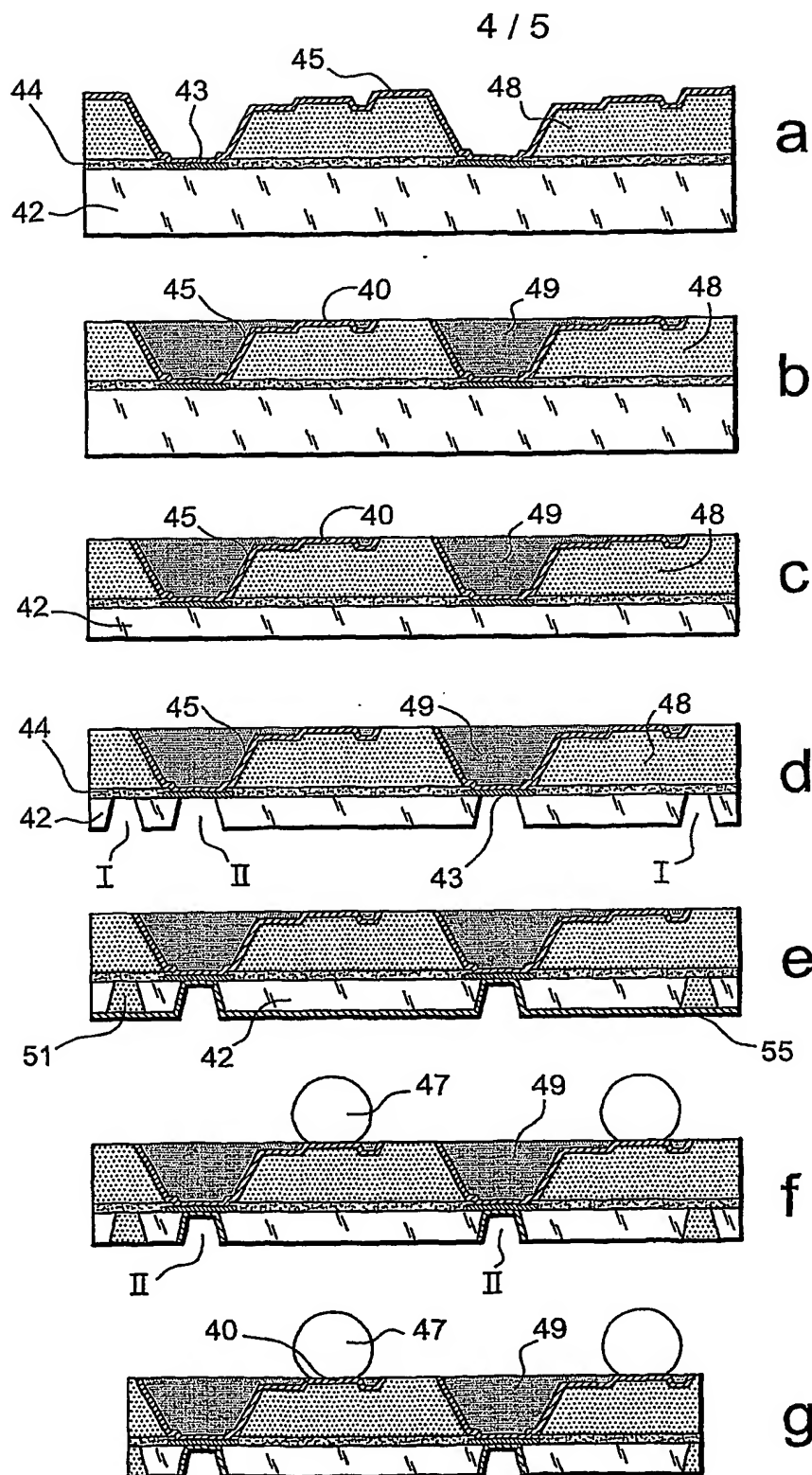


FIG. 6

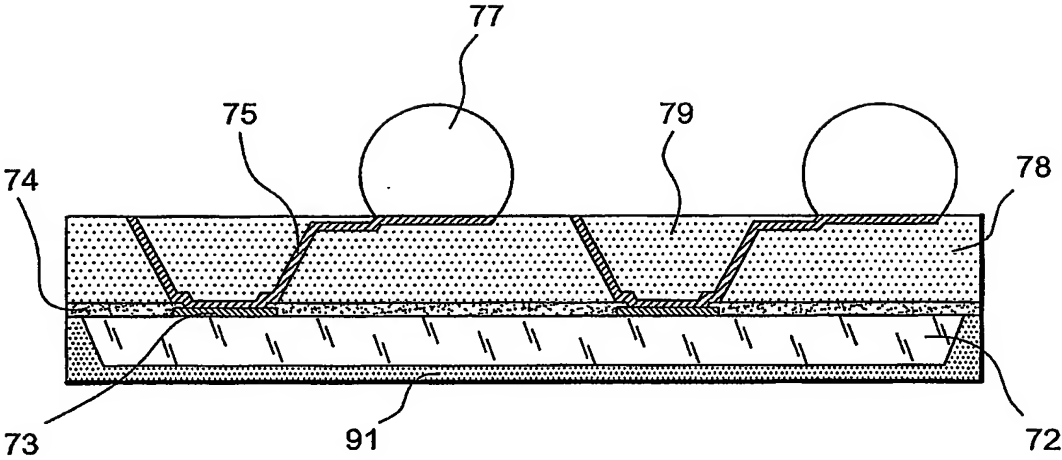


FIG. 7